

POWERED BY Dialog

IMAGE PICKUP APPARATUS**Publication Number:** 2003-230054 (JP 2003230054 A)**Published:** August 15, 2003**Inventors:**

- MORI KEIICHI
- YOSHIDA HIDEAKI

Applicants

- OLYMPUS OPTICAL CO LTD

Application Number: 2002-028482 (JP 200228482)**Filed:** February 05, 2002**International Class:**

- H04N-005/335
- G02B-005/20
- H04N-009/07

Abstract:

PROBLEM TO BE SOLVED: To provide an image pickup apparatus capable of preventing image quality deterioration due to luminance moire. **SOLUTION:** The image pickup apparatus includes: a color imaging element 105 with a color coding pattern adopting periodic arrangement comprising 4 pixels consisting of 2×2 for the unit arrangement; a subtractive image generating means 108 for summing $(2N+1)^2$ information items (N is a natural number) of same color pixels in original image data being photoelectric conversion element conversion information items in light receiving pixels of the imaging element to produce one pixel data thereby producing a subtractive image being a color coding image with a pixel density of $1/(2N+1)^2$ with respect to the pixel density of the original image data; and a recording image generating means 108 for generating a recording object image on the basis of the subtractive image, and the subtractive image generating means executes the summation so that each pixel generating position of the subtractive image is formed to be at an equal interval. **COPYRIGHT:** (C)2003,JPO

JAPIO

© 2007 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 7736152

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-230054
(P2003-230054A)

(43)公開日 平成15年8月15日(2003.8.15)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 2 H 0 4 8
G 0 2 B 5/20	1 0 1	G 0 2 B 5/20	1 0 1 5 C 0 2 4
H 0 4 N 9/07		H 0 4 N 9/07	A 5 C 0 6 5

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21)出願番号 特願2002-28482(P2002-28482)

(22)出願日 平成14年2月5日(2002.2.5)

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 森 圭一

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72)発明者 吉田 英明

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(74)代理人 100058479

弁理士 鈴江 武彦 (外4名)

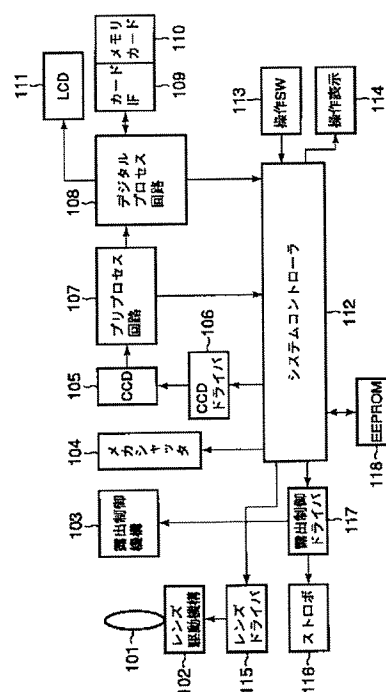
最終頁に続く

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】輝度モアレによる画質劣化を防止可能な撮像装置を提供すること。

【解決手段】 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有したカラー撮像素子105と、前記撮像素子の受光画素部における光電変換情報を原画像データとして、この原画像における同色画素の情報を $(2N+1)^2$ 個(ただしNは自然数)加算して1つの画素データを生成することにより前記原画像データの画素密度の $1/(2N+1)^2$ の画素密度の色コーディング画像である減数画像を生成する減数画像生成手段108と、前記減数画像に基づいて記録対象画像を生成する記録画像生成手段108とを備え、前記減数画像生成手段は、前記減数画像の各画素生成位置が等間隔となるように前記加算を実行する。



【特許請求の範囲】

【請求項1】 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有したカラー撮像素子と、

前記撮像素子の受光画素部における光電変換情報を原画像データとして、この原画像における同色画素の情報を $(2N+1)^2$ 個 (ただしNは自然数) 加算して1つの画素データを生成することにより前記原画像データの画素密度の $1/(2N+1)^2$ の画素密度の色コーディング画像である減数画像を生成する減数画像生成手段と、前記減数画像に基づいて記録対象画像を生成する記録画像生成手段とを備え、前記減数画像生成手段は、前記減数画像の各画素生成位置が等間隔となるように前記加算を実行するものであることを特徴とする撮像装置。

【請求項2】 前記周期配列は、その単位配列の4画素中2画素のみが同色であり、この同色の2画素が対角配置された3原色ベイア配列であることを特徴とする請求項1に記載の撮像装置。

【請求項3】 前記3原色ベイア配列は、その3原色が加色混合の3原色RGBでGが対角配置されたRGBベイア配列であることを特徴とする請求項2に記載の撮像装置。

【請求項4】 前記同色情報の加算のうち少なくとも垂直方向の加算は、前記撮像素子内で実行されることを特徴とする請求項1から請求項3のいずれか1項に記載の撮像装置。

【請求項5】 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有した原画像データに基づいて、この原画像における同色画素の情報を $(2N+1)^2$ 個 (ただしNは自然数) 加算して1つの画素を生成することにより前記原画像データの画素密度の $1/(2N+1)^2$ の画素密度の減数画像を生成する減数画像生成処理を行う際に、前記減数画像の各画素生成位置が等間隔となるように前記加算を実行することを特徴とする画像処理方法。

【請求項6】 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有したカラー撮像素子と、前記撮像素子の受光画素部における光電変換情報を原画像データとして、この原画像における同色画素の情報を

$$A(i, j) = X(i-1, j-1) + X(i+1, j-1) + X(i-1, j+1) + X(i+1, j+1) \cdots (1)$$

(1) 式において、 $i = 4m_1 + m_2$ 、 $j = 4n_1 + n_2$: m_1 、 n_1 は非負の整数、 m_2 、 n_2 は1または2である。

【0004】このとき、座標 i 、 j は原画像画素Xの位置座標であり、生成画像画素Aの位置座標も共通である。従って、 $A(i, j)$ の座標 (i, j) は、減数処理で生成された画素の原画像における代表位置を示すことになる。式の座標から判るように、生成画素は加算時

水平または垂直のうち1方向に関して $(2N+1)$ 個 (ただしNは自然数) 加算して1つの画素データを生成することにより前記原画像データの画素密度の $1/(2N+1)$ の画素密度の色コーディング画像である減数画像を生成する減数画像生成手段と、

前記減数画像に基づいて記録対象画像を生成する記録画像生成手段とを備え、

前記減数画像生成手段は、前記減数画像の各画素生成位置が等間隔となるように前記加算を実行するものであることを特徴とする撮像装置。

【請求項7】 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有した原画像データに基づいて、この原画像における同色画素の情報を水平または垂直のうち1方向に関して $(2N+1)$ 個 (ただしNは自然数) 加算して1つの画素を生成することにより前記原画像データの画素密度の $1/(2N+1)$ の画素密度の減数画像を生成する減数画像生成処理を行う際に、前記減数画像の各画素生成位置が等間隔となるように前記加算を実行することを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、撮像装置に関する。

【0002】

【従来の技術】本発明の出願人は、特願2000-022758号において、ベイア配列の撮像素子の画素出力情報から、画素数 (正確には空間画素密度) を減じたベイア配列画素信号を生成する減数処理技術を提案している。これにより、画質劣化を生じることなく、且つフレームレートも向上でき、更にデジタル信号処理の負担増加を抑えた画素情報加算による感度向上撮影可能、かつベイア配列の単板式カラー撮像素子を用いた場合も、複雑な演算処理を要することなく画素加算により感度の向上をはかることができ、且つフレームレートの向上を図ることができる。

【0003】上記の技術をRGBベイア配列に関して詳細に述べる。 2×2 の4画素加算の場合では、ベイア配列の単位配列を $2 \times 2 = 4$ 個並べた $4 \times 4 = 16$ 画素を1つのブロックと見なし、そのブロック内で次式で表わされる加算を行う。(図7参照)

の4つの原画素の平均位置に生成されるとみなしている。なお、加算された4画素の感度は等しいので、この場合は感度分布の重心位置に画素が生成されるともいえる。この様子を図7(b)に示す。

【0005】なお、このような減数処理により生成されたベイア画像データは次段での処理においては上記原画像における代表的存在位置の座標は意味を失い、これらが単に順次 (隙間無く隣接して) 配列されたデータ (図

示せず)として扱われるから、例えば上記と共通の記号 ($i, j, m1, m2, n1, n2$) を用いて、
 $A(x, y) = A(i, j) \dots (2)$

(ただし、 $x = 2m1 + m2 - 1, y = 2n1 + n2 - 1$) という形式のベイア配列画像として、従来のベイア撮像素子からの出力信号と全く同様の公知の信号処理によって、色情報が同時化された(各画素が3色全てのデータを有する)コンポーネント信号化され記録対象画像に生成される。(その際必要に応じて情報圧縮処理も伴う。)しかし、上記のように生成された画素信号の位置(すなわち原画素平均位置)は一樣ではなく(すなわ

$$\begin{aligned} A(i, j) = & X(i-1, j-1) + X(i, j-1) \\ & + X(i+1, j-1) + X(i-1, j) \\ & + X(i, j) + X(i+1, j) \\ & + X(i-1, j+1) + X(i, j+1) \\ & + X(i+1, j+1) \dots (3) \end{aligned}$$

(3) 式において、 $i = 6m1 + m2, j = 6n1 + n2 : m1, n1$ は非負の整数、 $m2, n2$ は2または3である。

【0008】この場合の重心位置分布の不均一性は、当然4画素の場合よりもさらに顕著になっている。ここでRおよびB画素についてはそのサンプリング周期に影響がないから特に問題は発生しないが、G画素に着目すると上記不均一性によって水平および垂直の基本サンプリング周期が期待される周期の2倍(周波数が1/2)になっている。つまり生成画像

$$A(x, y) = A(i, j) \dots (4)$$

(ただし、 $x = 2m1 + m2 - 2, y = 2n1 + n2 - 2$) という減数後のベイア配列画像について見れば、単位配列あたり2個のGが存在しているから、これを元に輝度信号を生成すれば水平垂直の各1次元方向については単位配列の周期の2倍の輝度サンプリング周期が得られることが期待される。しかし、上記のような不均一性があるため、原画像に対する実際の輝度サンプリング周期は減数単位配列の周期と同じになってしまう。

【0009】この結果が生成画像に及ぼす作用は、後段の画像処理方法によっても異なるが、

- ・実効的サンプリング周波数が低下するためエッジ部に輝度モアレによるギザが発生し易くなり、
- ・輝度信号の生成方法によっては右斜め方向と左斜め方向で画像の再現特性に大きな非対称性を生じることがある。

【0010】具体例を挙げれば、少なくとも例えば、「最近くで隣接する(=斜めに隣り合う)2つのG画素を加算することにより1画素の輝度信号(の少なくとも高域成分)を生成する」方式の場合にはこれらの不具合が顕著に発生することが発明者の検討によって明らかとなった。この場合の不具合画像の撮像例を図9(CZP=サーキュラーゾーンプレートチャートの中央部付近の拡大画像)に示す。本来滑らかな輪帯であるべきCZP

ち、等間隔になっておらず)、不均一である。このため、基本サンプリング周波数が本来の半分となり、特に輝度モアレによる画質劣化を生じる問題があった。

【0006】図7(b)に示す上記の4画素加算の場合においても生成画素の位置が一樣で無いことは明らかであるが、 $3 \times 3 = 9$ 画素加算の場合を取り上げて詳述する。

【0007】この場合には、ベイア配列の単位配列を $3 \times 3 = 9$ 個並べた $6 \times 6 = 36$ 画素を1つのブロックと見なし、そのブロック内で次式で表わされる加算を行うものとなる。(図8)

像に、サンプリングによるギザが発生すること自体は原理的にやむを得ないが、図9に示す例では特に中央右側の右斜め部分にのみ極端に大きなギザが発生している。

【0011】

【発明が解決しようとする課題】本発明は、輝度モアレによる画質劣化を防止可能な撮像装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を講じた。本発明においては、減数画像の各画素生成位置(各生成画素に寄与する原画素の平均位置)が等間隔となるように加算を実行するようにした。これによってベイアtoベイア減数処理を行った場合にも輝度モアレによる画質劣化は充分抑圧され、高画質な記録対象画像が得られる。具体的には、以下の通りである。

【0013】本発明に係る撮像装置は、 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有したカラー撮像素子と、前記撮像素子の受光画素部における光電変換情報を原画像データとして、この原画像における同色画素の情報を $(2N+1)^2$ 個(ただしNは自然数)加算して1つの画素データを生成することにより前記原画像データの画素密度の $1/(2N+1)^2$ の画素密度の色コーディング画像である減数画像を生成する減数画像生成手段と、前記減数画像に基づいて記録対象画像を生成する記録画像生成手段とを備え、前記減数画像生成手段は、前記減数画像の各画素生成位置(各生成画素に寄与する原画素の平均位置)が等間隔となるように前記加算を実行するものであることを特徴とする。上記の撮像装置の好ましい実施態様は、以下の通りである。

(1) 前記周期配列は、その単位配列の4画素中2画素のみが同色であり、この同色の2画素が対角配置された3原色ベイア配列であること。

(2) (1)において、前記3原色ベイア配列は、その3原色が加色混合の3原色RGBでGが対角配置されたRGBベイア配列であること。

(3) 前記同色情報の加算のうち少なくとも垂直方向の加算は、前記撮像素子内で実行されること。

【0014】本発明に係る画像処理方法は、 2×2 の4画素を単位配列とする周期配列の色コーディングパターンを有した原画像データに基づいて、この原画像における同色画素の情報を $(2N+1)^2$ 個（ただしNは自然数）加算して1つの画素を生成することにより前記原画像データの画素密度の $1/(2N+1)^2$ の画素密度の減数画像を生成する減数画像生成処理を行う際に、前記減数画像の各画素生成位置（各生成画素に寄与する原画素の平均位置）が等間隔となるように前記加算を実行することを特徴とする。

【0015】

【発明の実施の形態】図面を参照して本発明の一実施形態を説明する。図1は、本発明に係る撮像装置の概略ブロック図である。

【0016】図1は、本発明の一実施形態に係わる撮像装置の回路構成を示すブロック図である。

【0017】図中101は各種レンズからなるレンズ系、102はレンズ系101を駆動するためのレンズ駆動機構、103はレンズ系101の絞りを制御するための露出制御機構、104はメカシャッタ、105はベイア配列のカラーフィルタを備えたCCDカラー撮像素子、106は撮像素子105を駆動するためのCCDドライバ、107はゲインコントロールアンプ、A/D変換器等を含むプリプロセス回路、108は色信号生成処理、マトリックス変換処理、その他各種のデジタル処理を行うためのデジタルプロセス回路、109はカードインターフェース、110はCFやスマートメディア等のメモリカード、111はLCD画像表示系を示している。

【0018】また、図中の112は各部を統括的に制御するためのシステムコントローラ（CPU）、113は各種SWからなる操作スイッチ系、114は操作状態及びモード状態等を表示するための操作表示系、115はレンズ駆動機構102を制御するためのレンズドライバ、116は発光手段としてのストロボ、117はストロボ116を制御するための露出制御ドライバ、118は各種設定情報等を記憶するための不揮発性メモリ（EEPROM）を示している。

【0019】本実施形態のデジタルスチルカメラにおいては、システムコントローラ112が全ての制御を統括的に行っており、特に露出制御機構103に含まれるシャッタ装置（メカシャッタ（光学的シャッタ）を含む）と、CCDドライバ106によるCCD撮像素子105の駆動を制御して露光（電荷蓄積）及び信号の読み出しを行い、それをプリプロセス回路107を介してデジタ

ルプロセス回路108に取込んで、各種信号処理を施した後にカードインターフェース109を介してメモリカード110に記録するようになっている。

【0020】CCD撮像素子105は、図2に示すように、マトリクス配置されたフォトダイオード201、複数本の垂直CCD202、及び1本の水平CCD203から構成されたインターライン（IL）型で、インターレース駆動方式のものを採用している。また、カラーフィルタは、図3に示すようにRGBのベイア配列となっている。このような配列では、隣接する画素の加算では異なる色が混ざってしまうので、単純には画素加算を行うことはできない。

【0021】図3のようなインターレースRGBベイア配列の撮像素子では、各フィールドに着目すれば、それぞれRG又はGBのストライプ配列を構成している。そこで本実施形態では、nライン加算駆動（n倍速読み出し）によって各色を混合させることなく水平CCDの中で加算する。具体的には、インターレースのフレーム読み出しで垂直方向のn画素を水平転送路内で加算する。そして、これを外部に読み出した後、デジタル演算処理によって水平同色n画素毎の加算平均を行う。

【0022】具体的には、以下の通りである。まず、電子シャッタとメカシャッタを併用したインターレース読み出しを行う。具体的にはメカシャッタ開状態において電荷排出パルス（半導体基板バイアスを一旦所定の電荷排出用の高電圧値とすることで全画素の電荷を基板に排出するパルス）を出力することで露光を開始し、所定の露光時間後にメカシャッタを閉じることで露光を終了する。

【0023】その後、公知のインターレース読み出し、すなわち奇数ラインはAフィールド、偶数ラインはBフィールドと順次の2つのフィールド期間に別々に読み出しを行うことにより、1つのフレーム画像を得る。

【0024】その際、色配列に着目すると、1フレームのベイア配列は各フィールドのみに着目した場合には、それぞれ縦ストライプ配列に相当しているから、読み出し時に公知の垂直n加算駆動（1水平ブランキング期間にnライン分の垂直転送を行う）によって垂直方向に関しては素子内同色加算を行うことができる。本実施形態では $3 \times 3 = 9$ 画素加算を行うので $n = 3$ として加算駆動読み出しを行う。

【0025】水平方向については、撮像素子からの読み出し信号をAD変換した後にデジタルプロセス108においてデジタル演算により1画素置きにn画素加算（この場合の「画素」は素子内で垂直n画素加算が行われた中間段階の生成画素を単位としている）を行うことで同色加算を行うことができる。この場合も $n = 3$ とすることは言うまでもない。

【0026】本実施形態では、加算のパターンとして図4（a）に示すものを採用している。すなわち次式で、

A (i , j) が求められる。

$$\begin{aligned} A (i , j) = & X (i - 1 , j - 1) + X (i , j - 1) \\ & + X (i + 1 , j - 1) + X (i - 1 , j) \\ & + X (i , j) + X (i + 1 , j) \\ & + X (i - 1 , j + 1) + X (i , j + 1) \\ & + X (i + 1 , j + 1) \cdots (5) \end{aligned}$$

ただし、(5)式において、 $i = 6m_1 + m_2$ 、 $j = 6n_1 + n_2$ ： m_1 、 n_1 は非負の整数、 m_2 、 n_2 は2または5である。

【0027】上記の加算パターンにおいて、垂直方向についてはAフィールドとBフィールドで加算位相を変える（1つの水平ブランキング期間に転送される3ラインの組合せをずらす）ことで、この加算方法が実現される。なお、水平方向はデジタル演算であるから問題はない。

【0028】このように、(3)式と(5)式の違いは m_2 、 n_2 の値だけであって、加算数 n が奇数（ $n = 2N + 1$ ： N は自然数）であれば、このように m_2 、 n_2 の値を適当に選ぶことによって、図4(b)に示すように減数生成画素の位置を等間隔にすることができる。

【0029】具体的には、この例で $5 - 2 = 3$ であるように、 m_2 、 n_2 それぞれについて、とり得る2値の差を加算数 n に等しくすれば良い。

【0030】なお、 n が偶数の場合は、このような「等間隔ペイヤ配列」の同色加算を実現することができない。

【0031】上記のようにして加算生成された画像はペイヤ配列をなしているから、従来のペイヤ撮像素子からの出力信号と全く同様の（すなわち非加算の場合と同一の）公知の信号処理によって、色情報が同時化された（各画素が全て3色データを有する）コンポーネント信号化され記録対象画像に生成され、記録される。あるいは適当なインターフェースを介して例えば汎用コンピューターやプリンタ等の外部機器に出力される。

【0032】なお、この後段の回路における処理は、その必要に応じて適宜使用されるそれ自体は公知の、例えば色バランス処理、マトリクス演算による輝度一色差信号への変換あるいはその逆変換処理、帯域制限等による偽色除去あるいは低減処理、 γ 変換に代表される各種非線型処理、各種情報圧縮処理、等々である。

【0033】従来との違いが生じる理由を図5を用いて説明する。図5は、1次元における説明図である。従って、3画素加算となっている。なお、原画素の画素ピッチ（図で1マス）をPとする。

【0034】入力画像として、例えば周期12Pの矩形波を例にとると、原画素のサンプリング位置（↑）に入力波に対応して1または0の原画素が出力される。

【0035】図5(a)に示すように、加算生成画素の生成位置（各生成画素に寄与する原画素の平均位置）をサンプリング位置として↑で図示し、その下に、対応し

て得られる加算出力値を記載している。図5(a)によれば、従来の3画素加算においては、サンプリング位置が不均一（すなわち、等間隔ではない）であるのに対して、本発明では等間隔となっている。

【0036】図5(a)だけでの対比では大差が無いように見えるが、図5(b)に示すように、入力波の位相を変えた場合の結果を比較すると、従来は位相の変化によって出力振幅が大きく変化するのに対して、本発明実施形態では出力振幅が安定していることが判る。従って「斜めエッジ」のようにサンプリング位相がラインによって少しずつ変化するような被写体に対しては前者は大きなギザを生じるが、後者では改善される。

【0037】その結果、図6に示すようなギザの少ない良好な画像が得られる。信号処理の方式によっては図9のように生じることのあった画像の再現特性の非対称性も生じない。

【0038】本発明は、上記の発明の実施の形態に限定されるものではない。例えば、以下のように変形しても良い。上記ではRGBペイヤ配列を使用しているが、例えばYCMの補色系3原色など任意のペイヤ配列や、YCMGやRGBx（ $x = W$ （ W は白＝全透過）、 $x = I$ （赤外）など）など4色配列に本発明を適用しても同様に有効である。また、加算は全素子外デジタル加算であっても良いし、可能であれば全素子内加算であっても良い。また、加算方法はアナログ、デジタルいずれの加算でも良い。水平と垂直のそれぞれの加算数は奇数であれば等しくなくても良い。さらに言えば、上記図5による説明は1次元であったことから判るように、本発明は1次元だけの適用においても効果を発揮するものであるから、例えば水平・垂直の一方について非加算としても良い。その他、本発明の要旨を変更しない範囲で種々変形して実施できるのは勿論である。

【0039】

【発明の効果】上記のように、本発明によれば、ペイヤ配列撮像素子を用いた同色画素加算における加算後の画像の各画素生成位置（重心位置：正しくは各生成画素に寄与する原画素の平均位置）が等間隔となるように加算を実行するようにしたので、輝度モアレによる画質劣化（ギザ）を防止することができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係わる撮像装置の回路構成を示すブロック図。

【図2】 同実施形態に用いたカラー撮像素子の基本構成を示す図。

【図3】 同実施形態に用いたカラー撮像素子におけるフィルタ配列を示す図。

【図4】 本発明の一実施形態による加算方法を説明するための図。

【図5】 従来との違いを説明するための図。

【図6】 本発明によって得られた画像例を示す図。

【図7】 従来の加算方法を示す図。

【図8】 従来の他の加算方法を示す図。

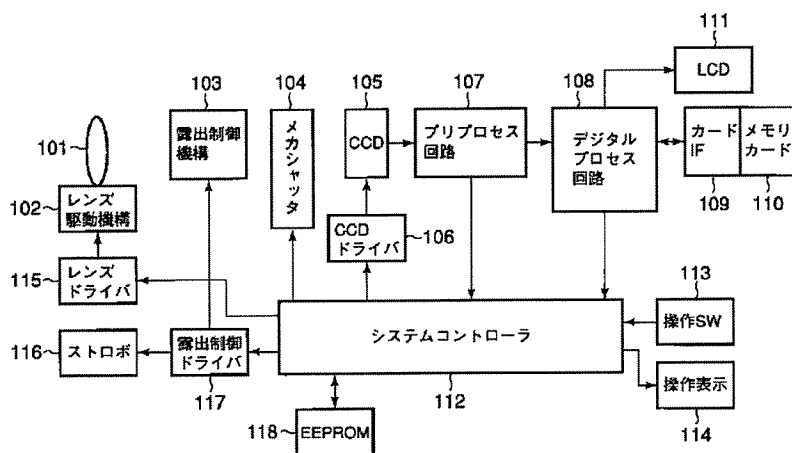
【図9】 従来技術によって得られた画像例を示す図。

【符号の説明】

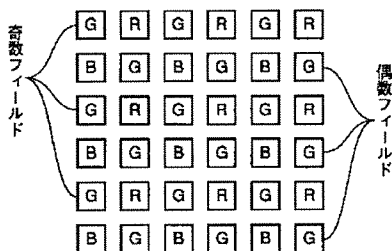
101…レンズ系
102…レンズ駆動機構
103…露出制御機構
104…メカシャッタ
105…CCDカラー撮像素子
106…CCDドライバ

107…プリプロセス回路
108…デジタルプロセス回路
109…カードインターフェース
110…メモ리카ード
111…LCD画像表示系
112…システムコントローラ (CPU)
113…操作スイッチ系
114…操作表示系
115…レンズドライバ
116…ストロボ
117…露出制御ドライバ
118…不揮発性メモリ (EEPROM)
201…フォトダイオード
202…垂直CCD
203…水平CCD

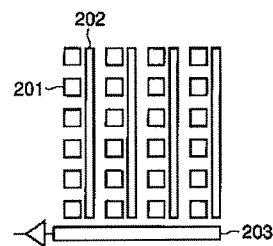
【図1】



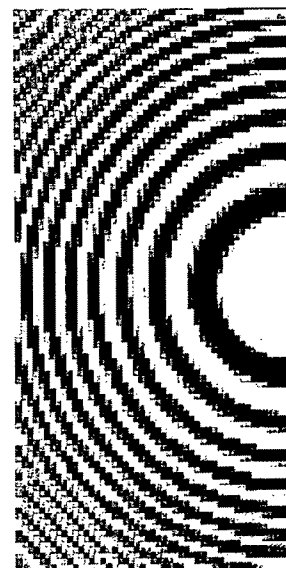
【図3】



【図2】



【図6】



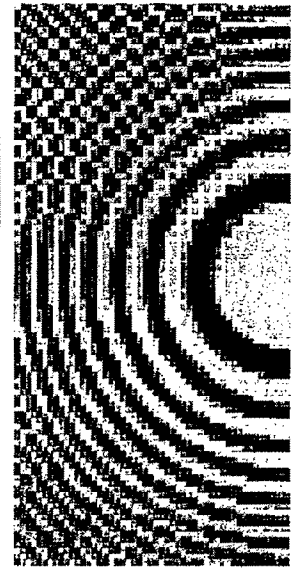
【図 4】

	0	1	2	3	4	5	6	7	8	9
0	X00	X01	X02	X03	X04	X05	X06	X07	X08	X09
1	X10	X11	X12	X13	X14	X15	X16	X17	X18	X19
2	X20	X21	X22	X23	X24	X25	X26	X27	X28	X29
3	X30	X31	X32	X33	X34	X35	X36	X37	X38	X39
4	X40	X41	X42	X43	X44	X45	X46	X47	X48	X49
5	X50	X51	X52	X53	X54	X55	X56	X57	X58	X59
6	X60	X61	X62	X63	X64	X65	X66	X67	X68	X69
7	X70	X71	X72	X73	X74	X75	X76	X77	X78	X79
8	X80	X81	X82	X83	X84	X85	X86	X87	X88	X89
9	X90	X91	X92	X93	X94	X95	X96	X97	X98	X99

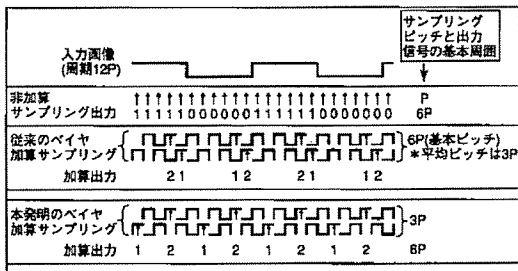
(a)

	0	1	2	3	4	5	6	7	8	9
0										
1										
2			A22			A25			A28	
3										
4										
5			A52			A55			A58	
6										
7										
8			A82			A85			A88	
9										

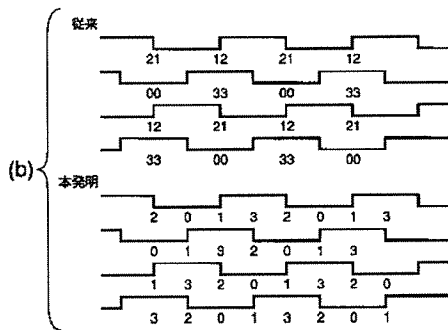
(b)



【図 5】



(a)



【図 7】

X	0	1	2	3	4	5	6	7	8	9	A	0	1	2	3	4	5	6	7	8	9
0	X00	X01	X02	X03	X04	X05	X06	X07	X08	X09	0										
1	X10	X11	X12	X13	X14	X15	X16	X17	X18	X19	1		A11	A12			A15	A16			A19
2	X20	X21	X22	X23	X24	X25	X26	X27	X28	X29	2		A21	A22			A25	A26			A29
3	X30	X31	X32	X33	X34	X35	X36	X37	X38	X39	3										
4	X40	X41	X42	X43	X44	X45	X46	X47	X48	X49	4										
5	X50	X51	X52	X53	X54	X55	X56	X57	X58	X59	5		A51	A52			A55	A56			A59
6	X60	X61	X62	X63	X64	X65	X66	X67	X68	X69	6		A61	A62			A65	A66			A69
7	X70	X71	X72	X73	X74	X75	X76	X77	X78	X79	7										
8	X80	X81	X82	X83	X84	X85	X86	X87	X88	X89	8										
9	X90	X91	X92	X93	X94	X95	X96	X97	X98	X99	9		A91	A92			A95	A96			A99

(a)

(b)

【図 8】

	0	1	2	3	4	5	6	7	8	9		0	1	2	3	4	5	6	7	8	9
0	X00	X01	X02	X03	X04	X05	X06	X07	X08	X09	0										
1	X10	X11	X12	X13	X14	X15	X16	X17	X18	X19	1										
2	X20	X21	X22	X23	X24	X25	X26	X27	X28	X29	2			A22	A23					A28	A29
3	X30	X31	X32	X33	X34	X35	X36	X37	X38	X39	3			A32	A33					A38	A39
4	X40	X41	X42	X43	X44	X45	X46	X47	X48	X49	4										
5	X50	X51	X52	X53	X54	X55	X56	X57	X58	X59	5										
6	X60	X61	X62	X63	X64	X65	X66	X67	X68	X69	6										
7	X70	X71	X72	X73	X74	X75	X76	X77	X78	X79	7										
8	X80	X81	X82	X83	X84	X85	X86	X87	X88	X89	8			A82	A83					A88	A89
9	X90	X91	X92	X93	X94	X95	X96	X97	X98	X99	9			A92	A93					A98	A99

(a)

(b)

フロントページの続き

F ターム(参考) 2H048 BA02 BB02 BB07 BB46
 5C024 CX14 DX01 GZ28 HX28 HX29
 HX30
 5C065 AA01 BB13 CC01 DD02 GG21
 GG22 GG23